

KPA XML 문서

페이지 1 / 1

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020053011 A
(43)Date of publication of application: 04.07.2002

(21)Application number: 1020010084671
(22)Date of filing: 26.12.2001
(30)Priority: 26.12.2000 JP 2000
2000395965

(71)Applicant: MATSUSHITA ELECTRIC
INDUSTRIAL CO., LTD.
(72)Inventor: KANEKO HIDEYUKI
MATSUMURA KAZUHIKO
NAGAO KOICHI
NAKAOKA YUKIO

(51)Int. Cl. H01L 25/065

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57) Abstract:

PURPOSE: To suppress the generation of the package crack of a semiconductor chip on an upper side and the deterioration of the reliability of connection in a semiconductor device for which two semiconductor chips are joined and packaged.

CONSTITUTION: In this semiconductor device functioning as a three-dimensional device for which two semiconductor chips are joined, the back surface of the semiconductor chip on the upper side is ground, the entire side face of the semiconductor chip on the upper side is covered with a resin layer, or the center of the semiconductor chip on the upper side is made thicker than a peripheral part. Thus, the generation of the package crack is suppressed and the reliability of the semiconductor device is improved.

© KIPO & JPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

한국 공개특허공보 제2002-53011호(2002.07.04) 1부.

[첨부그림 1]

특2002-0053011

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 25/065(11) 공개번호 특2002-0053011
(43) 공개일자 2002년07월04일

(21) 출원번호	10-2001-0084671
(22) 출원일자	2001년12월26일
(30) 우선권주장	JP-P-2000-00395965 2000년12월26일 일본(JP)
(71) 출원인	마츠시타 덴끼 산교 가부시키가이샤
	일본 오오사카현 가도마시 오오마자 가도마 1006
(72) 발명자	나카오카유키오
	일본국나라전미코마시디카(마)마초4238
	마츠무라가즈히코
	일본국나라전기타카츠키군다마초오야마미나미(마)마치430
	가네코히데유키
	일본국요코엔타미시츄오6-2-20-201
	나가오카유이치
	일본국교토후교토시후시미쿠하가시(마)마미나미초670-4-601
(74) 대리인	김영철

심사관구 : 없음

(54) 반도체장치 및 그 제조방법

요약

본 발명은 2 장의 반도체 칩을 접합시켜 패키징한 시킨 반도체장치에 있어서, 위쪽 반도체 칩의 실장면의 합성이나 접속 신뢰성의 악화를 억제하는 것이다.

2 장의 반도체 칩을 접합시킨 3차원 디바이스로서 기능하는 반도체장치에 있어서, 위쪽 반도체 칩의 미연의 면(이하가나, 위쪽 반도체 칩의 측면 적체층 수직층으로 피복하거나, 또는 위쪽 반도체 칩의 중앙부를 주변부보다 두껍게 한다. 이로써 실장 균열의 발생이 억제되어 반도체장치의 신뢰성이 향상된다.

대표도

도1

색인어

반도체 칩, 반도체장치

발명자

도면의 간단한 설명

- 도 1은 본 발명 제 1 실시예의 3차원 디바이스 단면도.
- 도 2는 본 발명 제 1 실시예의 변형예에 있어서의 3차원 디바이스 단면도.
- 도 3은 본 발명 제 2 실시예의 3차원 디바이스 단면도.
- 도 4는 제 2 실시예의 제 1 변형예에 있어서의 반도체장치 단면도.
- 도 5는 제 2 실시예의 제 2 변형예에 있어서의 반도체장치 단면도.
- 도 6은 제 2 실시예의 제 3 변형예에 있어서의 반도체장치 단면도.
- 도 7은 본 발명 제 3 실시예의 3차원 디바이스 단면도.
- 도 8의 (a)-(f)는 제 4 실시예의 반도체장치 제조공정을 나타내는 단면도.
- 도 9의 (a)-(e)는 제 4 실시예 변형예의 반도체장치 제조공정을 나타내는 단면도.
- 도 10의 (a)-(f)는 제 5 실시예의 반도체장치 제조공정을 나타내는 단면도.
- 도 11의 (a)-(e)는 제 5 실시예 제 1 변형예의 반도체장치 제조공정을 나타내는 단면도.

25-1

25-1

[첨부그림 2]

특 2002-0053011

도 12의 (a)-(f)는 제 5 실시예 제 2 변형예의 반도체장치 제조공정을 나타내는 단면도.
 도 13의 (a)-(e)는 제 5 실시예 제 3 변형예의 반도체장치 제조공정을 나타내는 단면도.
 도 14의 (a)-(e)는 제 6 실시예의 반도체장치 제조공정을 나타내는 단면도.
 도 15는 본 발명 제 6 실시예에서의 제 2 반도체 칩 이면 모서리부를 상세하게 나타내는 단면도.
 도 16은 본 발명 제 6 실시예에서의 제 2 반도체 칩 이면의 연마방법을 나타내는 단면도.
 도 17은 종래의 3 차원 디바이스 구조를 나타내는 단면도.
 도 18의 (a)-(d)는 종래의 3 차원 디바이스의 제조공정을 나타내는 단면도.

• 도면의 주요 부분에 대한 부호의 설명 •

10 : 제 1 반도체 칩	11 : 제 1 내부전극
12 : 본딩패드	20 : 제 2 반도체 칩
21 : 제 2 내부전극	22 : 메탈 장벽층
23 : 금속 범프	30 : 수지
31 : 다이패드	32 : 리드
33 : 도전성 페이스트	34 : 본딩 와이어
35 : 봉입수지	36 : 웨이퍼
37 : 제 1 수지층	38 : 제 2 수지층
40 : 공구	41 : 자외선
42 : 연마입자	43 : 연마장치
45 : 모서리부	46 : 반도체장치
47 : 보호수지	

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 제 1 반도체 칩 상에 제 2 반도체 칩이 접속된 반도체장치 및 그 제조방법에 관한 것이다.

최근 전자기기의 소형화, 고속처리화에 따라, 2 종류 이상의 반도체 칩을 적층시켜 이루어지는 3 차원 디바이스 구조가 널리 검토되고 있다. 2 종류 이상의 반도체 칩을 제 1 칩화하는 기술과 3 차원 디바이스 칩을 형성하는 기술을 비교하면, 반도체 칩 내에 형성되는 반도체소자의 종류에 따라 유리한 점과 불리한 점이 있다. 예를 들어 메모리, logic, 종합합계 디바이스와 같이 종합합계 공정으로 형성된 반도체소자를 1 칩화하기 위해서는 공정이 복잡해져 chip이 높아진다. 그래서 개별로 적절한 공정으로 형성된 반도체소자를 갖는 2 종류의 반도체 칩을 서로 적층시킴으로써, 자원가화를 도모하고자 하기 위한 여러 가지 제안이 나왔으며, 제습화되기 시작한 디바이스도 있다.

예하, 종래의 3 차원화된 반도체장치의 구조와 제조방법에 대하여 설명하기로 한다. 도 17은 종래의 3 차원 디바이스 구조를 나타내는 단면도이다. 도 18의 (a)-(d)는 상기 종래의 3 차원 디바이스 제조공정을 나타내는 단면도이다.

도 17에 나타낸 바와 같이 종래의 3 차원 디바이스는, 상면에 복수의 제 1 내부전극(111) 및 본딩패드(112)를 갖는 제 1 반도체 칩(110)과, 상면에 복수의 제 2 내부전극(121)을 갖는 제 2 반도체 칩(120)과, 상기 제 1 반도체 칩(110)을 탑재하기 위한 다이패드(131)와, 상기 각 반도체 칩(110, 120) 내의 도전저스터 등 소자와 외부 기기와와의 사이에 전기적 신호를 주고받기 위한 리드(132)를 구비한다.

그리고 제 1 반도체 칩(110) 상에 제 1, 제 2 내부전극(111, 121)끼리 위치 조정된 상태에서 제 2 반도체 칩(120)이 탑재되고, 제 1 내부전극(111)과 제 2 내부전극(121)은 금속 범프(123)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(110)과 제 2 반도체 칩(120) 사이에는 수지(130)가 충전되고, 수지(130)에 의하여 제 1, 제 2 반도체 칩(110, 120)이 서로 접촉되어 밀착화된다. 또 상기 다이패드(131) 및 리드(132)는 1 개의 리드프레임으로부터 분리될 것이다. 제 1 반도체 칩(110)은 다이패드(131)에 팔라듐(Pd), 은(Ag) 등의 도전성 페이스트(133)로 고정되며, 제 1 반도체 칩(110)의 본딩패드(112)와 리드(132)는 본딩와이어(134)를 통해 전기적으로 접속된다. 또한 제 1 반도체 칩(110), 제 2 반도체 칩(120), 본딩와이어(134), 다이패드(131) 및 리드(132)는 봉입수지(135)로 봉입되어 실장화 된다.

다음으로 종래의 반도체장치 제조방법에 대하여 설명한다.

도 18의 (a)에 나타낸 공정에서 다음과 같은 순서로 제 1 반도체 칩(110)과 제 2 반도체 칩(120)을 위치 조정 한다. 우선, 상면에 복수의 제 1 내부전극(111)을 갖는 제 1 반도체 칩(110)을 준비하여, 제 1 반도체 칩(110)을 실장지그(도시 생략) 상에 얹고 제 1 반도체 칩(110)의 상면에 수지(130)를 도포한다. 한편, 상면에 복수의 제 2 내부전극(121) 및 그 위의 메탈장벽(122)을 갖는 제 2 반도체 칩(120)을 준비하여, 제 2 반도체 칩(120)의 메탈장벽(122) 상에 금속범프(123)를 형성한다. 그리고 제 1 반도체 칩

25-2

25-2

[첨부그림 3]

특 2002-0053011

(110) 상면에, 제 2 반도체 층(120)을 그 상면이 아래쪽으로 향한 상태로 대합시켜, 제 1 내부전극(111)과 제 2 내부전극(121)(배향장벽(122))의 위치를 조정한다.

다음에 도 18의 (b)에 도시한 공정에서 다음과 같은 순서로 제 1 반도체 층(110)과 제 2 반도체 층(120)을 서로 접합한다. 우선, 제 2 반도체 층(120)을 그 이면에서 금속공구(140)로 가압, 가압하여 제 2 반도체 층(120)의 내부전극(121)상(배향장벽(122)상)에 형성된 금속번들(123)을 개재하고, 제 1 반도체 층(110)의 제 1 내부전극(111)과 제 2 반도체 층(120)의 내부전극(121)을 서로 접합시킨다. 그리고 접합 후, 양 반도체 층(110, 120) 사이에 충전되어 있는 수지(130)를, 자외선(141)을 조사하거나 가열함으로써 경화시킨다.

다음으로 도 18의 (c)에 나타난 공정에서 다음과 같은 순서로, 접합·압착화된 반도체 디바이스에 대하여 와이어본딩 공정을 실시한다. 우선 다이패드(131) 및 리드(132)를 구비한 리드프레임(137)을 준비한다. 그리고 제 1 반도체 층(110)을 다이패드(131) 상에 팔라듐(Pd), 은(Ag) 등의 도전성 패시스트(133)로 고정시킨다. 그리고 제 1 반도체 층(110)의 본딩패드(112)와 리드프레임(137)의 리드(132)를 본딩와이어(134)로 접속한다.

다음, 도 18의 (d)에 나타난 공정에서 다음과 같은 순서로 와이어본딩된 반도체장치를 패키징 한다. 우선 제 1 반도체 층(110), 제 2 반도체 층(120), 본딩와이어(134), 다이패드(131) 및 리드(132)를 봉입수지(135)로 봉입한다. 이 때 리드(132) 하면 또는 외측면은 봉입수지(135)로 피복되지 않고 노출되며, 이 부분이 외부단자로서 기능한다.

이상의 공정으로써, 제 1 반도체 층(110) 상에 제 2 반도체 층(120)을 대합시켜 압착화되어 이루어지는 3차원 디바이스가 형성된다.

표면이 마주고자 하는 가솔극 표층

그러나 상기 3차원 디바이스인 반도체장치에서는 다음과 같은 문제가 있다.

우선 제 1 반도체 층(110) 상에 패시스트를 접합되는 제 2 반도체 층(120)은 웨이퍼로부터 절단된 것인데, 제 2 반도체 층(120) 하면의 모서리부(145) 측면은 절단 시 연삭된 상태이다. 때문에 제 2 반도체 층(120) 하면 모서리부(145)에는 봉입수지 경화 시 발생하는 용액이 걸렸고, 그 결과 종합적인 반도체 디바이스의 특성열화가 일어나기 쉬워진다.

또 반도체장치를 봉입수지로 봉입하지 않을 경우도, 반도체장치 탈형 시 반도체 층이 웨어칩의 영향으로 반도체 층간의 접속신뢰성이 저하되기 쉬워진다.

본 발명의 목적은 제 1 반도체 층(110)에 접합되는 제 2 반도체 층(120)의 이면 모서리부(145)의 용액침투를 방지시키고, 또는 칩의 칩을 제거시킬 수 있는 반도체장치 및 그 제조방법을 제공하는 데 있다.

본 발명의 구성 및 작용

본 발명의 제 1 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 층과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 층 상에 탑재된 제 2 반도체 층과, 상기 제 1 반도체 층과 제 2 반도체 층 사이에 개재하며, 그 결과 종합적인 반도체 디바이스의 특성열화가 일어나기 쉬워진다.

이로써 제 2 반도체 층의 하면 모서리부(145)의 용액침투가 완화되므로, 실장공정 등의 발생이 억제되는 등, 3차원 디바이스인 반도체장치의 종합적 특성 열화도 방지된다.

상기 제 2 반도체 층 하면의 모서리부가 곡면으로 됨으로써, 실장공정의 발생이 보다 효과적으로 억제된다.

상기 제 2 반도체 층 하면 모서리부의 곡면 곡률반경이 1μm보다 큰 것이 바람직하다.

상기 제 1 반도체 층과 제 2 반도체 층 사이에 수지층이 배치됨으로써 접속 신뢰성이 향상된다.

본 발명의 제 2 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 층과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 층 상에 탑재된 제 2 반도체 층과, 상기 제 1 반도체 층과 제 2 반도체 층 사이에 개재하며, 또 상기 제 2 반도체 층의 전 측면을 피복하는 수지층을 구비한다.

이로써 3차원 디바이스의 열이 저감되어 접속 신뢰성이 확보되게 된다.

상기 수지층 중 상기 제 1 반도체 층과 상기 제 2 반도체 층 사이에 개재하는 부분과, 상기 제 2 반도체 층의 전 측면을 피복하는 부분은, 서로 다른 수지재료로 구성되는 것이 더욱 바람직하다.

상기 수지층 중 상기 제 2 반도체 층의 전 측면을 피복하는 부분의 필러 함유량이, 상기 제 1 반도체 층과 제 2 반도체 층 사이에 개재하는 부분의 필러 함유량보다 많거나, 상기 수지층 중 상기 제 2 반도체 층의 전 측면을 피복하는 부분의 필러 평균지름은, 상기 제 1 반도체 층과 제 2 반도체 층 사이에 개재하는 부분의 필러 평균지름보다 큰 것이 바람직하다.

상기 어느 한 구성에 의하여, 수지층 중 제 2 반도체 층의 전 측면을 피복하는 부분의 탄성률이 높아져 필 모호기능이 향상함과 동시에, 열팽창계수가 반도체 층의 열팽창계수에 가까워지므로 필 방지 기능도 높아진다.

상기 수지층 중 상기 제 2 반도체 층의 전 측면을 피복하는 부분의 상면은, 상기 제 2 반도체 층 하면과 거의 공통 평면을 갖는 위치에 있음으로써, 접속 신뢰성을 보다 확실하게 확보할 수 있다.

상기 제 1 반도체 층과 상기 제 2 반도체 층은 수지 봉입되는 것이 바람직하다.

[정부그림 4]

특2002-0053011

본 발명의 제 3 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 층과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 페이스트층 상에 제 1 반도체 층 상에 합쳐진 제 2 반도체 층을 구비하며, 상기 제 2 반도체 층 중앙부가 주변부보다 두껍다.

이로써 제 2 반도체 층의 열이 저감되므로, 제 1 반도체 층과 제 2 반도체 층의 접속 신뢰성이 향상된다. 제 1 반도체 층과 제 2 반도체 층 사이에 개재하는 수지층을 추가로 구비함으로써 접속 신뢰성이 더욱 높아진다.

상기 제 1 반도체 층과 상기 제 2 반도체 층은, 수지층에 의해 접합되는 것이 바람직하다.

본 발명의 제 1 반도체장치의 제조방법은, 제 1 반도체 층 상에 제 2 반도체 층을, 양자의 전극끼리 전기적으로 서로 접속된 상태에서 합쳐서 이루어지는 반도체장치의 제조방법으로서, 상면에 제 1 전극을 갖는 제 1 반도체 층과, 상면에 제 2 전극을 갖는 제 2 반도체 층을 갖는 웨이퍼와, 상면에 제 2 전극을 갖는 상기 제 2 반도체 층을 준비하는 공정과, 상기 웨이퍼의 각 제 1 반도체 층 형성부의 상에 상기 제 2 반도체 층을 각각 합쳐시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과, 상기 웨이퍼의 각 제 1 반도체 층 형성부와 상기 제 2 반도체 층 사이에 수지층을 형성하는 공정과, 상기 제 2 반도체 층을 상기 웨이퍼에 합쳐진 상태에서 상기 제 2 반도체 층 하면을 연마하는 공정과, 상기 제 1 반도체 층 상에서 상기 제 2 반도체 층을 용입수지로 용입하는 공정을 포함한다.

이 방법으로써 제 2 반도체 층 하면의 모서리부가 연삭, 연마됨으로써 모서리가 패어지므로, 모서리부의 용입수지가 억제되어 실장공율이 억제된 반도체장치가 얻어진다.

본 발명의 제 2 반도체장치의 제조방법은, 제 1 반도체 층 상에 제 2 반도체 층을, 양자의 전극끼리 전기적으로 서로 접속된 상태에서 합쳐서 이루어지는 반도체장치의 제조방법으로서, 상면에 제 1 전극을 갖는 제 1 반도체 층과, 상면에 제 2 전극을 갖는 상기 제 2 반도체 층을 갖는 웨이퍼와, 상면에 제 2 전극을 갖는 상기 제 2 반도체 층을 준비하는 공정과, 상기 제 1 반도체 층 형성부의 상에 상기 제 2 반도체 층을 합쳐시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과, 상기 제 1 반도체 층과 상기 제 2 반도체 층 사이에 수지층을 형성하는 공정과, 상기 제 2 반도체 층을 상기 웨이퍼에 합쳐진 상태에서 상기 제 2 반도체 층 하면을 연마하는 공정과, 상기 웨이퍼의 각 제 1 반도체 층 형성부와 상기 제 2 반도체 층 사이에 수지층을 형성하는 공정과, 상기 제 2 반도체 층을 용입수지로 용입하는 공정을 포함한다.

상기 제 1, 제 2 반도체장치의 제조방법에 있어서, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정은, 상기 제 1 전극 및 상기 제 2 전극 중 적어도 어느 한쪽 전극에 범포를 형성하고, 상기 범포를 개재하고 각 전극끼리를 접속하는 공정을 추가로 포함하는 것이 바람직하다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

(실시예)

(제 1 실시예)

이하 본 발명의 제 1 실시예 및 그 변형예에 관한 반도체장치의 구조에 대하여 설명하기로 한다. 도 1, 도 2는 본 실시예 및 그 변형예의 3 차원 다이아몬드 구조를 나타내는 단면도이다.

도 1에 나타난 바와 같이 본 실시예의 3 차원 다이아몬드는, 주면에 복수의 제 1 내부전극(11) 및 본딩패드(12)를 갖는 제 1 반도체 층(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 페이스트층으로 제 1 반도체 층(10)에 집합된 제 2 반도체 층(20)과, 상기 제 1 반도체 층(10)을 합착하기 위한 다이패드(31)와, 상기 각 반도체 층(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 층(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정할 상면에서 제 2 반도체 층(20)이 합착되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범포(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 층(10)과 제 2 반도체 층(20) 사이에는 수지(30)가 충전되고, 수지(30)에 의하여 제 1, 제 2 반도체 층(10, 20)이 서로 정확되어 일치화된다. 또 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 층(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 층(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다. 또한 제 1 반도체 층(10), 제 2 반도체 층(20), 본딩와이어(34), 다이패드(31) 및 리드(32)는 용입수지(35)로 용입되어 패키지가 된다.

여기서 본 실시예의 3 차원 다이아몬드 중의 제 2 반도체 층(20) 이면의 모서리부(45)는 곡면화 되어, 제 2 반도체 층(20) 이면에는 매각의 모서리부가 존재하지 않는다. 따라서 제 2 반도체 층(20) 이면의 모서리부(45)에서의 실장공율을 억제할 수 있어, 종합적인 다이아몬드 특성 평가를 최적할 수 있다.

-변형예-

도 2는 제 1 실시예의 변형예에 있어서 3 차원 다이아몬드의 단면도이다. 도 2에 나타난 바와 같이 본 실시예의 변형예에 있어서는 제 2 반도체 층(20)의 이면이 돌출형상 상태가 아니고, 45도에 가까운 각도로 모테기(chamfering) 된다. 이에 의해서도 실장공율 등의 발생을 억제할 수 있다. 즉 제 2 반도체 층의 모서리부(45)가 무디어지면 된다.

(제 2 실시예)

도 3은 본 실시예에 있어서 3 차원 다이아몬드 구조를 나타내는 단면도이다. 도 3에 나타난 바와 같이, 본 실시예의 3 차원 다이아몬드는 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩패드(12)를 갖는 제 1 반도체 층(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 페이스트층으로 제 1 반도체 층(10)에 집합된 제 2 반도체 층(20)과, 상기 제 1 반도체 층(10)을 합착하기 위한 다이패드(31)와, 상기 각 반도체 층(10,

25-4

25-4

[첨부그림 5]

록 2002-0053011

20) 내 트랜지스터 등의 소자와 외부 기가 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)패리를 위치 조정할 상태에서 제 2 반도체 칩(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속패드(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 수지(30)가 충전되고, 수지(30)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접속되어 일체화된다. 또 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 칩(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 칩(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다. 또한 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 다이패드(31) 및 리드(32)는 용입수지(35)로 용입되어 패키징화 된다.

그리고 본 실시예의 3 차원 디바이스에서는 제 2 반도체 칩(20)의 측면 전체가 수지(30)로 피복된다. 따라서 이 수지(30)로 제 2 반도체 칩(20)의 모서리부(45)도 보호됨으로써, 제 2 반도체 칩(20)의 이면 모서리부(45)에서의 실장균열을 억제할 수 있어, 종합적인 디바이스 특성 열화를 회피할 수 있다. 또 수지 용입을 실시하기 전에 제 1 반도체 칩(10)과 제 2 반도체 칩(20)이 수지(30)로 강력하게 접촉되므로, 실장공정에서의 제 1, 제 2 반도체 칩(10, 20) 박리를 유효하게 방지할 수 있어 접속 신뢰성의 향상을 도모할 수 있다.

-제 1 변형예-

도 4는 제 2 실시예의 제 1 변형예에 있어서의 반도체장치 구조를 나타내는 단면도이다.

도 4에 나타난 바와 같이, 본 변형예의 3 차원 디바이스는 도 3에 나타난 3 차원 디바이스와 마찬가지로, 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩패드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 페이스다운으로 제 1 반도체 칩(10)에 집합된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탑재하기 위한 다이패드(31)와, 상기 각 반도체 칩(10, 20) 내 트랜지스터 등의 소자와 외부 기가 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)패리를 위치 조정할 상태에서 제 2 반도체 칩(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속패드(23)를 개재하고 서로 전기적으로 접속된다. 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 또 제 1 반도체 칩(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 칩(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다.

여기서 본 변형예에 있어서, 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 제 1 수지(37)가 충전되며, 제 1 수지(37)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접속되어 일체화된다. 그리고 제 1 반도체 칩(10) 상에는 제 1 수지(37) 및 제 2 반도체 칩(20)의 측면을 피복하는 제 2 수지(38)가 구성된다.

그리고 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 다이패드(31) 및 리드(32)는 용입수지(35)로 용입되어 패키징화 된다.

본 변형예에 의해서도 제 2 수지(38)에 의하여 제 2 반도체 칩(20)의 측면 전체가 피복되므로, 제 2 수지(38)에 의하여 제 2 반도체 칩(20)의 모서리부(45)도 보호되게 됨으로써, 제 2 반도체 칩(20)의 이면 모서리부(45)에서의 실장균열을 억제할 수 있어 종합적인 디바이스 특성 열화를 회피할 수 있다. 또 수지 용입을 실시하기 전에 제 1 반도체 칩(10)과 제 2 반도체 칩(20)이 수지(37, 38)로 강력하게 접촉되므로, 실장공정에서의 제 1, 제 2 반도체 칩(10, 20) 박리를 유효하게 방지할 수 있어 접속 신뢰성의 향상을 도모할 수 있다.

그리고 수지층을 제 1 수지(37)와 제 2 수지(38)라는 2 종류의 상이한 조성을 갖는 수지로 구성함으로써, 다음과 같은 효과를 발휘할 수 있다. 예를 들어 제 2 수지(38)의 열팽창계수가 제 1 수지(37)의 열팽창계수보다 작거나, 제 2 수지(38)의 열팽창계수가 제 1 수지(37)의 열팽창계수보다 큰 경우에는, 제 2 수지(38)의 탄성률이 높아져 제 2 반도체 칩(20) 모서리부에 대한 보호기능이 향상된다. 또 제 2 수지(38)의 열팽창계수가 제 1, 제 2 반도체 칩(10, 20)의 열팽창계수에 가까워지므로 열 발생가능도 높아진다.

-제 2 변형예-

도 5는 제 2 실시예의 제 2 변형예에서 3 차원 디바이스의 구조를 나타내는 단면도이다.

도 5에 나타난 바와 같이 본 변형예의 3 차원 디바이스는, 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩패드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 페이스다운으로 제 1 반도체 칩(10)에 집합된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탑재하기 위한 다이패드(31)와, 상기 각 반도체 칩(10, 20) 내 트랜지스터 등의 소자와 외부 기가 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)패리를 위치 조정할 상태에서 제 2 반도체 칩(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속패드(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 수지(30)가 충전되고, 수지(30)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접속되어 일체화된다. 또 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 칩(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 칩(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다. 또한 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 다이패드(31) 및 리드(32)는 용입수지(35)로 용입되어 패키징화 된다.

그리고 본 실시예의 3 차원 디바이스에서는 제 2 반도체 칩(20)의 측면 전체가 수지(30)로 피복됨과 동시에, 수지(30)의 상단 면은 제 2 반도체 칩(20) 이면과 거의 공통 평면을 형성한다. 즉 제 2 반도체 칩(20)의 이면 모서리부(45) 측만이 수지(30)로 두껍게 피복된다. 따라서 도 3에 나타난 구조보다 제 2 반

25-5

25-5

[첨부그림 6]

록 2002-0053011

도체 칩(20)의 모서리부(45)를 보호하는 작용효과가 커진다.

-제 3 변형예-

도 6은 제 2 실시예의 제 3 변형예에 있어서의 반도체장치 구조를 나타내는 단면도이다. 도 6에 나타난 바와 같이, 본 변형예의 3 차원 디바이스는 도 3에 나타난 3 차원 디바이스와 마찬가지로, 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩패드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 패시드층으로 제 1 반도체 칩(10)에 접합된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탑재하기 위한 다이패드(31)와, 상기 각 반도체 칩(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정할 상태에서 제 2 반도체 칩(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범프(23)를 개재하고 서로 전기적으로 접속된다. 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 또 제 1 반도체 칩(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 패시드층(33)로 고정되며, 제 1 반도체 칩(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다.

여기서 본 변형예에 있어서, 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 제 1 수지(37)가 충전되며, 제 1 수지(37)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접촉되어 밀착화된다. 그리고 제 1 반도체 칩(10) 상에는 제 1 수지(37) 및 제 2 반도체 칩(20)의 측면을 피복하는 제 2 수지(38)가 구성됨과 동시에, 제 2 수지(38)의 상단 면은 제 2 반도체 칩(20)의 미면과 거의 공통 평면을 형성한다. 즉 제 2 반도체 칩(20)의 미면 모서리부(45) 측방이 제 2 수지(38)로 두껍게 피복된다. 따라서 도 3에 나타난 구조보다 제 2 반도체 칩(20)의 모서리부(45)를 보호하는 작용효과가 커진다.

(제 3 실시예)

도 7은 제 3 실시예에 있어서의 반도체장치 구조를 나타내는 단면도이다. 도 7에 나타난 바와 같이, 본 실시예의 3 차원 디바이스는 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩패드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 패시드층으로 제 1 반도체 칩(10)에 접합된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탑재하기 위한 다이패드(31)와, 상기 각 반도체 칩(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정할 상태에서 제 2 반도체 칩(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범프(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 수지(30)가 충전되고, 수지(30)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접촉되어 밀착화된다. 상기 다이패드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 칩(10)은 다이패드(31)에 팔라듐(Pd), 은(Ag) 등의 도전성 패시드층(33)로 고정되며, 제 1 반도체 칩(10)의 본딩패드(12)와 리드(32)는 본딩와이어(34)를 통해 전기적으로 접속된다. 또한 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 다이패드(31) 및 리드(32)는 용접수지(35)로 용접되어 패키지가 된다.

여기서 본 실시예의 3 차원 디바이스에 있어서, 제 2 반도체 칩(20)은 그 중앙부가 주변부보다 두껍게 된다. 따라서 본 실시예의 3 차원 디바이스에 의하면, 제 2 반도체 칩(20)의 상장면율을 억제할 수 있어 중합적인 디바이스 특성의 열화를 회피할 수 있다.

그리고 본 실시예의 3 차원 디바이스에서는, 제 2 반도체 칩(20)의 측면 하부만이 수지(30)로 피복되며, 제 2 반도체 칩(20)의 측면 전체가 수지(30)로 피복되지 않지만, 제 2 실시예와 마찬가지로 제 2 반도체 칩(20)의 측면 전체가 수지(30)로 피복되어도 무방한 것으로 한다.

(제 4 실시예)

다음으로 본 발명의 제 4 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에 있어서는, 상술한 제 1 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 8의 (a)-(f)는 본 실시예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다.

도 8의 (a)에 나타내는 공정에서 이하의 순서에 의하여, 제 1 반도체 칩(10)을 형성하기 위한 영역인 다수의 칩 형성영역(Rtp)을 갖는 웨이퍼(36)와 제 2 반도체 칩(20)의 위치를 조정한다. 우선 다수의 칩 형성영역(Rtp)을 갖는 웨이퍼(36)를 준비한다. 웨이퍼(36)의 각 칩 형성영역(Rtp)에는 반도체소자나 배선 이 형성되며, 각 칩 형성영역(Rtp)의 상면에는 알루미늄으로 이루어지는 복수의 제 1 내부전극(11) 및 알루미늄으로 이루어지는 복수의 본딩패드(12)가 배설된다. 그리고 웨이퍼(36)를 섬장지그(도시 생략) 위에 얹어 놓고, 웨이퍼(36)의 1 개 칩 형성영역(Rtp) 상면에 에폭시 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 에폭시 외에 열경화성, 및 상온경화성이 있으며, 수지재료로는 아크릴수지, 폴리이미드수지, 및 우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법(dispen), 인쇄법, 또는 스탬핑법(stamping) 등이 있으며, 칩 크기 등으로 적절한 방법이 선택된다. 또한 수지 도포는 웨이퍼(36)의 칩 형성영역(Rtp)에의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 8의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리를 접속시킨 후(도 8의 (b)에 나타난 공정)라도 된다.

한편 주면에 알루미늄으로 이루어지는 복수의 제 2 내부전극(21) 및 그 위의 메탈장벽층(22)을 갖는 제 2 반도체 칩(20)을 준비하며, 제 2 반도체 칩(20)의 메탈장벽층(22) 상에 금속범프(23)를 형성한다. 메탈 장벽층(22)은 티탄(Ti), 구리(Cu), 니켈(Ni)의 금속박막으로 이루어지며, 금속범프(23)는 주석(Sn)-납(Pb)으로 이루어진다. 금속범프(23)의 재료로는 금(Au), 인듐(In), In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택하여 이동하는 것이 가능하며, 이 금속범프(23)의 크기는 범프 지름이 3-100 μ m, 높이가 3-50 μ m이다.

그리고 웨이퍼(36)의 1 개 칩 형성영역(Rtp) 상방에 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)을, 그 상면을 아래쪽으로 향한 상태로 웨이퍼(36)의 1 개 칩 형성영역

25-6

25-6

[정부그림 7]

록 2002-0053011

(Rtp)에 대향시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 페이스트, 이방성 도전수지, 금속제 필름 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21)과 마장가자로, 웨이퍼(36)의 칩 형성영역(Rtp) 상의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 8의 (b)에 나타낸 공정에서, 이하의 순서로 웨이퍼(36)의 칩 형성영역(Rtp)과 제 2 반도체 칩(20)을 서로 접합한다.

우선 제 2 반도체 칩(20)을 공구(40)로 지지하면서 하강시켜, 제 2 반도체 칩(20)의 제 2 내부전극(21) 상에 형성된 금속범프(23)와, 웨이퍼(36)의 1 개 칩 형성영역(Rtp)에 배치된 제 1 내부전극(11)과의 위치를 조정한다. 그리고 위치 조정된 웨이퍼(36) 상의 제 1 내부전극(11)과 제 2 반도체 칩(20)의 금속범프(23)를, 공구(40)를 사용하여 가열·가압하고, 물리학적 작용 또는 금속학적 작용(원자의 상호확산에 의한 합금화 등의 작용)을 이용하여 접합을 실시한다. 수지(30)를 접합 전에(도 8의 (a)에 나타낸 공정에서) 도포한 경우는, 공구(40)를 하강시켜 각 내부전극(11, 12)끼리 접합을 실시할 때, 수지(30)가 웨이퍼(36)의 칩 형성영역(Rtp)과 제 2 반도체 칩(20) 사이로 밀려 퍼진다. 이 때 수지(30)의 점성에 의하여 제 2 반도체 칩(20)과 웨이퍼(36) 사이의 거리를 적당히, 이 하중의 크기는 제 1 내부전극(11)이 파손된 금속범프(23)에 대하여 0.1~20g 정도의 하중이 적당하다. 이 하중의 크기는 제 1 내부전극(11)이 파손되지 않는다는 제약을 만족시키도록 설정한다. 그 후 수지(30)를 경화시켜 제 2 반도체 칩(20)과 웨이퍼(36)을 밀착시킨다. 이 때 수지(30)가 광경화성 수지라면 자외선(41)을, 열경화성 수지라면 가열을 가하여 경화시킨다. 가열에 의한 수지(30) 경화를 실시할 때는, 공구(40)에 의한 가압 해제 후에 오븐 등의 가열 기구에 의한 가열을 할거나, 또는 공구(40)에 내장시킨 히터 등에 의하여 가압 시 직접 가열을 할한다. 열경화 시의 온도조건은 수지(30)의 재료에 따르는 하지만 70~300℃ 정도가 필요하다.

다음, 도 8의 (c)에 나타낸 공정에서 도 8의 (a), (b)에 나타낸 공정을, 웨이퍼(36)의 각 칩 형성영역(Rtp)에 탑재시킬 제 2 반도체 칩(20)의 수만큼 반복함으로써, 도 8의 (c)에 나타낸 바와 같이 웨이퍼(36) 상에 다수의 제 2 반도체 칩(20)을 탑재시켜 형성되는 집합체(50) 구조가 얻어진다. 그리고 반도체 칩-웨이퍼 사이에 충전시키는 수지(30)를, 수지성분으로서 에폭시수지, 아크릴수지 등을 포함하여 도전성 재료로서 글, 니켈, 은 등을 포함하는 이방성 도전필름(ADF: Anisotropic Conductor Film) 또는 이방성 도전수지(ADF: Anisotropic Conductor Paste) 등으로 대체하는 것도 가능하다.

다음에 도 8의 (d)에 나타낸 공정에서 집합체(50) 중의 제 2 반도체 칩(20) 면면을 연마한다. 도 8의 (c)에 나타낸 공정에서 수지(30)를 충분히 경화시킨 후, 웨이퍼(36)의 각 칩 형성영역(Rtp) 상에 탑재된 제 2 반도체 칩(20)이면(외곽을 향할 면)을 연마장치(43) 상면에 대향시킨 상태에서, 집합체(50)를 연마장치(43) 상에 놓는다. 이 때 웨이퍼(36)의 각 칩 형성영역(Rtp) 사이의 영역 상에는 보호수지(47)를 구 성시켜 둔다. 그리고 연마장치(43)의 연마면에 연마입자(42)를 공급하고, 집합체(50)에 하중을 가하면서 연마장치(43)를 회전시킴으로써, 각 제 2 반도체 칩(20) 면면의 연마를 실시한다. 이 때 연마입자(42)로서는 입도가 #1200~#2000 정도의 다이아몬드 입자가 바람직하며, 연마장치(43)의 회전수는 5~50rpm 정도가 바람직하다.

다음으로, 도 8의 (e)에 나타낸 공정에서, 연마를 종료하고 집합체(50)를 연마장치(43)로부터 분리하면 웨이퍼(36) 상의 각 제 2 반도체 칩(20)의 면면으로서(45)가 무디히저 곡면화된 형상이 얻어진다. 여기서 제 2 반도체 칩(20)의 면면으로서(45) 형상은 예를 들어 도 15에 나타내는 형 가로방향 치수(A)가 약 1~10㎛이고, 칩 세로방향 치수(B)가 약 1~10㎛로 되는 형상이다. 그 후 집합체(50)의 각 칩 형성영역(Rtp)별로 웨이퍼(36)를 절단함으로써, 개개의 제 1 반도체 칩(10)과 제 2 반도체 칩(20)으로 이루어지는 반도체장치(46)가 얻어진다.

다음, 도 8의 (f)에 나타내는 공정에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도체장치(46)를 리드프레임의 다이패드(31)에 탑재하고 난, 은 등을 함유하는 도전성 페이스트(33)로 양자봉 고정시킨다. 그리고 제 1 반도체 칩(10)의 본딩패드(12)와, 리드프레임의 리드(32)를 25㎛ 정도의 금, 알루미늄 등으로 이루어지는 본딩와이어(34)로 접속한다. 그리고 마지막으로 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 리드프레임의 다이패드(31), 및 리드프레임의 리드(32)(일부)를 에폭시계 또는 폴리이미드계의 봉입수지(35)를 사용하여 수지봉입을 실시한다.

이상의 공정으로써, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탑재하여 일체화시켜 구성되는 제 1 실시예의 3 차원 다바이스가 용이하게 형성된다.

-변형예-

다음으로, 제 4 실시예의 변형예에 관한 반도체장치의 제조방법에 대하여 설명한다. 도 9의 (a)~(e)는 제 4 실시예의 변형예에 있어서 반도체장치의 제조공정을 나타내는 연면도이다. 본 변형예에 있어서는 웨이퍼를 절단하여 제 1 반도체 칩(10)을 이미 형성한 뒤, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 접합한다.

따라서 도 9의 (a)에 나타내는 공정에서는 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 이외는 도 8의 (a)에서 설명한 바와 같이 하면 된다. 도 수지(30)로는 에폭시계 외에 열경화성 및 광경화성인 수지, 수지재료로는 아크릴수지, 폴리이미드수지, 및 우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스프레이법 등이 있으며, 칩 크기 등으로 적합한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 칩(10)에 배치된 웨이퍼(36)의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 9의 (a)에 도시한 위치조정 직전만 아니라, 위치조정후 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 9의 (b)에 나타낸 공정)라도 된다.

제 2 반도체 칩(20) 상에 형성된 금속범프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택하여 이용하는 것이 가능하며, 이 금속범프(23)의 크기는 범프 지름이 3~100㎛.

[첨부그림 8]

특2002-0053011

높이가 3-50 μ m이다.

그리고 제 1 반도체 칩(10) 상부에, 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)의 상면을 아래쪽으로 향한 상태로 제 1 반도체 칩(10)에 대향시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 패시스트, 이방성 도전수지, 금속제 필러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 칩(10)의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 9의 (b)에 나타난 공정에서, 이미 설명한 도 8의 (b)에 나타난 공정과 같은 순서로 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 합치시켜, 양자의 내부전극(11, 21)끼리의 접합과 수지(30) 경화를 실시하여, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 합체시켜 구성되는 집합체(51)를 형성한다.

다음에, 도 9의 (c)-(e)에 나타난 공정에서, 이미 설명한 도 8의 (d)-(f)에 나타난 공정과 마찬가지로 순서에 의하여, 집합체(51)의 제 2 반도체 칩(20) 이면의 연마공정, 와이머론공정 및 패키징공정 등을 실시한다.

본 변형예에서는, 도 9의 (c)에 나타난 공정에서 제 1, 제 2 반도체 칩(10, 20)을 접합시켜 형성되는 집합체(51)를 제 2 반도체 칩(20) 이면의 연마를 실시함으로써 제 2 반도체 칩(20)의 이면 모서리부(45)에 대한 연마입자(42)의 공급이 보다 원활하게 이루어지므로, 제 4 실시예의 방법에 비해 연마의 증미화율도 높일 수 있다.

[제 5 실시예]

다음으로, 본 발명의 제 5 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에 있어서는, 상술한 제 2 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 10의 (a)-(f)는 본 실시예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다.

도 10의 (a)에 나타내는 공정에서 이하의 순서에 의하여, 제 1 반도체 칩(10)을 형성하기 위한 영역인 다수의 칩 형성영역(Rtp)을 갖는 웨이퍼(36)와 제 2 반도체 칩(20)의 위치를 조정한다. 우선 다수의 칩 형성영역(Rtp)을 갖는 웨이퍼(36)를 준비한다. 웨이퍼(36)의 각 칩 형성영역(Rtp)에는 반도체소자나 배선이 형성되며, 각 칩 형성영역(Rtp)의 상면에는 알루미늄으로 이루어지는 복수의 제 1 내부전극(11) 및 알루미늄으로 이루어지는 복수의 분할패드(12)가 형성된다. 그리고 웨이퍼(36)를 실장지그(도시 생략) 위에 얹어 놓고, 웨이퍼(36)의 1 개 칩 형성영역(Rtp) 상면에 대략시 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 예로서 위에 열거한, 및 상온경화성이 있으며, 수지재료로는 아크릴수지, 폴리이미드수지, 및 무레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스프레이법 등이 있으며, 칩 크기 등으로 적절한 방법이 선택된다. 또한 수지 도포는 웨이퍼(36)의 칩 형성영역(Rtp)에의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 10의 (a)에 도시한 위치조정 전후만 아니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 10의 (b)에 나타난 공정)라도 된다.

여기서 본 실시예에 있어서, 도포되는 수지(30)의 양은 반도체 칩 종류에 따른 조건, 특히 제 2 반도체 칩(20) 면적 등의 조건에 따라 다른데, 제 2 반도체 칩(20) 측면에 수지 물질이 형성될 수 있는 양이 필요하다. 구체적으로 수지(30)의 양은, 경화 후 수지(30)의 끝 높여, 또는 함몰 폭으로(도 15 참조) 약 50-300 μ m 이상이 될 양인 것이 바람직하다.

한편, 주변에 알루미늄으로 이루어지는 복수의 제 2 내부전극(21) 및 그 위의 메탈장벽층(22)을 갖는 제 2 반도체 칩(20)을 준비하여, 제 2 반도체 칩(20)의 메탈장벽층(22) 상에 금속범프(23)를 형성한다. 메탈장벽층(22)은 티탄(Ti), 구리(Cu), 니켈(Ni)의 금속박막으로 이루어지며, 금속범프(23)는 주석(Sn)-납(Pb)으로 이루어진다. 금속범프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택하여 이용하는 것이 가능하며, 이 금속범프(23)의 크기는 길이 3-100 μ m, 높이가 3-50 μ m이다.

그리고 웨이퍼(36) 1 개의 칩 형성영역(Rtp) 상부에 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)을, 그 상면을 아래쪽으로 향한 상태로 웨이퍼(36)의 1 개 칩 형성영역(Rtp)에 대향시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 패시스트, 이방성 도전수지, 금속제 필러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신, 웨이퍼(36)의 칩 형성영역(Rtp) 상의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 10의 (b)에 나타난 공정에서, 이하의 순서로 웨이퍼(36)의 칩 형성영역(Rtp)과 제 2 반도체 칩(20)을 서로 접합한다.

우선 제 2 반도체 칩(20)을 공구(40)로 유지하면서 하강시켜, 제 2 반도체 칩(20)의 제 2 내부전극(21) 상에 형성된 금속범프(23)와, 웨이퍼(36)의 1 개 칩 형성영역(Rtp)에 배치된 제 1 내부전극(11)과의 위치를 조정한다. 그리고 위치 조정된 웨이퍼(36) 상의 제 1 내부전극(11)과 제 2 반도체 칩(20)의 금속범프(23)를, 공구(40)를 사용하여 가열·가압하고, 물리학적 작용 또는 금속학적 작용(원자의 상호확산에 의한 합금화 등의 작용)을 이용하여 접합을 실시한다. 수지(30)를 접합 전에(도 10의 (a)에 나타난 공정에서) 도포한 경우는, 공구(40)를 하강시켜 각 내부전극(11, 12)끼리 접합을 실시할 때, 수지(30)가 웨이퍼(36)의 칩 형성영역(Rtp)과 제 2 반도체 칩(20) 사이로 밀려 퍼진다. 이 때 수지(30)의 점성에 의하여 제 2 반도체 칩(20)과 웨이퍼(36) 사이의 가교형성이 더욱 증대된다. 공구(40)에 의한 가압력은 1 개의 금속범프(23)에 대하여 0.1-20g 정도의 하중이 적당하다. 이 하중의 크기는 제 1 내부전극(11)이 피손되지 않거나 그 제 1 내부전극(11) 아래쪽에 형성된 트랜지스터 등의 반도체소자나 배선 등의 특성을 변화시키지 않는다는 제약을 만족시키도록 설정한다. 그 후 수지(30)를 경화시켜 제 2 반도체 칩(20)과 웨이퍼(36)를 밀착화시킨다. 이 때 수지(30)가 경화화성수지라면 자외선(41)을, 열경화성수지라면 가열을 각각 실시한다. 가열에 의한 수지(30) 경화를 실시할 때는, 공구(40)에 의한 가압 해제 후에 오븐 등의 가열기

25-8

25-8

[첨부그림 9]

록 2002-0053011

구에 의한 가열을 할하거나, 또는 용구(40)에 내장시킨 히터 등에 의하여 가열 시 직접 가열을 행한다. 열경화 시의 온도조건은 수지(30)의 재료에 따라가는 하지만 70~300℃ 정도가 필요하다.

다음, 도 10의 (c)에 나타낸 공정에서 도 10의 (a), (b)에 나타낸 공정들, 웨이퍼(36)의 각 합 형성영역(Rtp)에 합제시킴 제 2 반도체 칩(20)의 수만큼 반복함으로써, 도 10의 (c)에 나타낸 바와 같이 웨이퍼(36) 상에 다수의 제 2 반도체 칩(20)을 탑재시켜 형성되는 집합체(50) 구조가 얻어진다. 그리고 반도체 칩-웨이퍼 사이에 용접시키는 수지(30)를 이방성 도전물질(ADF) 또는 이방성 도전수지(ADP) 등으로 대체하는 것도 가능하다.

다음에 도 10의 (d)에 나타낸 공정에서 집합체(50) 중의 제 2 반도체 칩(20) 이면을 연마한다. 도 10의 (c)에 나타낸 공정에서 수지(30)를 충분히 경화시킨 후, 웨이퍼(36)의 각 합 형성영역(Rtp) 상에 탑재된 제 2 반도체 칩(20) 이면(위쪽을 향한 면)을 연마장치(43) 상면에 대향시킨 상태에서, 집합체(50)를 연마장치(43) 상에 놓는다. 이 때 웨이퍼(36)의 각 합 형성영역(Rtp) 사이의 영역 상에는 보호수지(47)를 구형시켜 둔다. 그리고 연마장치(43)의 연마 면에 연마원자(42)를 공급하고, 집합체(50)에 하중을 가하면서 연마장치(43)를 회전시킴으로써, 각 제 2 반도체 칩(20) 이면의 연마를 실시한다. 이 때 연마원자(42)로서는 입도 #1200~#2000 정도의 다이아몬드 입자가 바람직하며, 연마장치(43)의 회전수는 5~50rpm 정도가 바람직하다.

여기서 본 실시예에서는, 수지(30) 중 제 2 반도체 칩(20)의 측면 상에 있는 부분의 상당부가 노출될 때까지, 제 2 반도체 칩(20)의 이면을 연마한다.

다음으로, 도 10의 (e)에 나타낸 공정에서, 연마를 종료하고 집합체(50)를 연마장치(43)로부터 분리하면 웨이퍼(36) 상의 각 제 2 반도체 칩(20)의 이면 전체가 수지(30)로 피복된 형상이 얻어진다.

그 후 집합체(50)의 각 합 형성영역(Rtp)별로 웨이퍼(36)를 절단함으로써, 개개의 제 1 반도체 칩(10)과 제 2 반도체 칩(20)으로 이루어지는 반도체장치(46)가 얻어진다.

다음, 도 10의 (f)에 나타내는 공정에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도체장치(46)를 리드프레임의 다이패드(31)에 탑재하고 남, 은 등을 함유하는 도전성 페이스트(33)로 양자극 고정시킨다. 그리고 제 1 반도체 칩(10)의 본딩패드(12)와, 리드프레임의 리드(32)를 25μm 정도의 금, 알루미늄 등으로 이루어지는 본딩와이어(34)로 접속한다. 그리고 마지막으로 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 리드프레임의 다이패드(31), 및 리드프레임의 리드(32)(일부)를 에폭시제 또는 폴리이미드제의 봉입수지(35)를 사용하여 수지봉입을 실시한다.

이상의 공정을으로써, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탑재하여 일체화시켜 구성되는 제 1 실시예의 3 차원 다바이스가 용이하게 형성된다.

-제 1 변형예-

다음으로, 제 5 실시예의 제 1 변형예에 관한 반도체장치의 제조방법에 대하여 설명한다. 도 11의 (a)-(e)는 제 5 실시예의 제 1 변형예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다. 본 변형예에 있어서는 웨이퍼를 절단하여 제 1 반도체 칩(10)을 이미 형성한 뒤, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 집합한다.

따라서 도 11의 (a)에 나타내는 공정에서는, 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 이외는 도 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지(30)로는 에폭시 외에 열경화성 및 상온경화성이 있으며, 수지재료로는 아크릴수지, 폴리이미드수지, 및 우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스프레이법 등이 있으며, 칩 크기 등으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 칩(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 11의 (e)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프(23)를 게재시켜 각 내부전극(11, 21)끼리를 접합시킨 후(도 11의 (b)에 나타낸 공정)라도 된다.

제 2 반도체 칩(20) 상에 형성될 금속범프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택 이용하는 것이 가능하며, 이 금속범프(23)의 크기는 범프 지름이 3~100μm, 높이 3~50μm이다.

그리고 제 1 반도체 칩(10) 상면에, 용구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)의 상면을 아래쪽으로 회전 상태로 제 1 반도체 칩(10)에 대향시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 페이스트, 이방성 도전수지, 금속제 풀러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 칩(10)의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 11의 (b)에 나타낸 공정에서, 이미 설명한 도 10의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 칩(10)에 제 2 반도체 칩(20)을 탑재시켜, 양자의 내부전극(11, 21)끼리의 접합과 수지(30) 경화를 실시하여, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탑재시켜 구성되는 집합체(51)를 형성한다.

다음에, 도 11의 (c)-(e)에 나타낸 공정에서, 이미 설명한 도 10의 (d)-(f)에 나타낸 공정과 마찬가지로 수지에 의하여, 집합체(51)의 제 2 반도체 칩(20) 이면의 연마공정, 와이퍼로딩공정 및 패키징공정 등을 실시한다.

본 변형예에서는, 도 11의 (c)에 나타낸 공정에서 제 1, 제 2 반도체 칩(10, 20)을 집합시켜 형성되는 집합체(51)별로 제 2 반도체 칩(20) 이면의 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이함을 도모할 수 있다.

-제 2 변형예-

[첨부그림 10]

특 2002-0053011

다음으로 본 발명 제 5 실시예의 제 2 변형예에 관한 반도체장치의 제조방법에 대하여 설명한다. 본 변형예에서는 제 2 실시예 제 2 변형예에서의 3 차원 디바이스를 형성한다. 도 12의 (a)-(f)는 제 5 실시예 제 2 변형예에서의 반도체장치 제조공정을 나타내는 단면도이다.

본 변형예에서의 3 차원 디바이스 형성 순서는, 상기 제 5 실시예의 도 10의 (a)-(f)에 나타내는 공정과 기본적으로 마찬가지로이다.

여기서 본 변형예에서는 도 12의 (d)에 나타내는 공정에서, 수지(30) 중 제 2 반도체 층(20) 측면 상에 있는 부분의 상단부가 노출된 후, 다시 제 2 반도체 층(20) 및 수지(30)를 연마한다. 이 연마방법으로써 제 2 반도체 층(20) 이면과 수지(30) 상단면이 거의 평평의 평면(45)을 형성하는 형상을 갖는 3 차원 디바이스를 형성한다.

본 변형예에 있어서는 도 12의 (c)에 나타내는 공정에서, 제 1, 제 2 반도체 층(10, 20)을 접합시켜 형성되는 접합체(50)별로 제 2 반도체 층(20)의 이면 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이화를 도모할 수 있다.

-제 3 변형예-

다음으로, 본 발명 제 5 실시예의 제 3 변형예에 관한 반도체장치의 제조방법에 대하여 설명한다. 본 변형예에 있어서는 제 2 실시예 제 2 변형예의 반도체장치의 제조방법에 대하여 설명한다. 도 13의 (a)-(e)는 제 5 실시예의 제 3 변형예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다. 본 변형예에 있어서는 웨이퍼를 접합하여 제 1 반도체 층(10)을 이미 형성한 뒤, 제 1 반도체 층(10) 상에 제 2 반도체 층(20)을 접합한다.

따라서 도 13의 (a)에 나타내는 공정에서는 제 1 반도체 층(10)과 제 2 반도체 층(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 이외는 도 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지(30)로는 에폭시 외에 열경화성 및 상온경화성이 있으며, 수지재료로는 마크립수지, 폴리이미드수지, 일우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스프레이법이 있으며, 현 크기 용으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 층(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 층(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 13의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 13의 (b)에 나타낸 공정)로도 된다.

제 2 반도체 층(20) 상에 형성될 금속범프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택 이용하는 것이 가능하다. 이 금속범프(23)의 크기는 범프 지름이 3-100 μ m, 높이가 3-50 μ m이다.

그리고 제 1 반도체 층(10) 상면에, 공구(40)에 의하여 제 2 반도체 층(20)을 유지하면서, 제 2 반도체 층(20)의 상면을 아래쪽으로 향한 상태로 제 1 반도체 층(10)에 대합시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 패시스트, 방방성 도전수지, 금속재 필러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 층(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 층(10)의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 13의 (b)에 나타낸 공정에서, 이미 설명한 도 10의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 층(10)에 제 2 반도체 층(20)을 탑재시켜, 양자의 내부전극(11, 21)끼리의 접합과 수지(30) 경화를 실시하여, 제 1 반도체 층(10) 상에 제 2 반도체 층(20)을 탑재시켜 형성되는 접합체(51)를 형성한다.

다음에, 도 13의 (c)-(e)에 나타낸 공정에서, 이미 설명한 도 10의 (d)-(f)에 나타낸 공정과 마찬가지로 순서에 의하여, 접합체(51)의 제 2 반도체 층(20) 이면의 연마공정, 와이어드릴공정 및 패킹공정 등을 실시한다.

본 변형예에서는, 도 13의 (c)에 나타낸 공정에서 제 1, 제 2 반도체 층(10, 20)을 접합시켜 형성되는 접합체(51)별로, 제 2 반도체 층(20) 이면의 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이화를 도모할 수 있다.

(제 6 실시예)

다음으로, 본 발명 제 6 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에 있어서는, 상술한 제 3 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 14의 (a)-(e)는 본 실시예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다.

도 14의 (a)에 나타내는 공정에서 마킹의 순서에 의하여, 제 1 반도체 층(10)과 제 2 반도체 층(20)의 위치를 조정한다. 우선 반도체 소자나 배선이 형성된, 다수의 칩 형성영역을 갖는 웨이퍼를 준비한다. 그리고 디바이스로 각 칩 형성영역별로 웨이퍼를 절단하여 제 1 반도체 층(10)을 형성한다. 제 1 반도체 층(10)의 상면에는 알루미늄으로 이루어지는 복수의 제 1 내부전극(11) 및 알루미늄으로 이루어지는 복수의 코팅패드(12)가 배치된다. 그리고 제 1 반도체 층(10)을 실장지그(도시 생략) 위에 얹고, 제 1 반도체 층(10) 상면에, 에폭시 등으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 에폭시 외에 열경화성 및 상온경화성이 있으며, 수지재료로는 마크립수지, 폴리이미드수지, 일우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스프레이법이 있으며, 현 크기 용으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 층(10)의 도포에 한정되지 않고 제 2 반도체 층(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 타이밍은 도 14의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 14의 (b)에 나타낸 공정)로도 된다.

여기서 본 실시예에 있어서, 도포되는 수지(30)의 양은 반도체 칩 종류에 따른 조건, 특히 제 2 반도체 층(20) 면적 등의 조건에 따라 다르며, 제 2 반도체 층(20) 측면에 수지 필러가 형성될 수 있는 양이 필

25-10

25-10

[첨부그림 11]

록 2002-0053011

요하다. 구체적으로 수지(30)의 양은, 경화 후 수지(30)의 필렛 높이, 또는 필렛 폭으로(도 15 참조) 약 50-300 μ m 이상에 필 양인 것이 바람직하다.

한편, 주면에 알루미늄으로 이루어지는 복수의 제 2 내부전극(21) 및 그 위의 매립장벽층(22)을 갖는 제 2 반도체 칩(20)을 준비하여, 제 2 반도체 칩(20)의 매립장벽층(22) 상에 금속범프(23)를 형성한다. 매립장벽층(22)은 Ti, Cu, Ni의 금속박막으로 이루어지며, 금속범프(23)는 Sn-Pb으로 이루어진다. 금속범프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택하여 이용하는 것이 가능하며, 이 금속범프(23)의 크기는 범프 지름이 3-100 μ m, 높이가 3-50 μ m이다.

그리고 제 1 반도체 칩(10) 상부에 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)을, 그 상면을 아래쪽으로 향한 상태로 제 1 반도체 칩(10)에 대항시킨다.

여기서 전기적 접속을 실시하기 위한 부재로서는, 금속범프(23) 이외에 도전성 패이스트, 이방성 도전수지, 금속제 필러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신, 제 1 반도체 칩(10) 상의 제 1 내부전극(11) 상에 금속범프를 형성해도 된다.

다음으로 도 14의 (b)에 나타난 공정에서, 이하의 순서로 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 서로 접합한다.

우선 제 2 반도체 칩(20)을 공구(40)로 유지하면서 하강시켜, 제 2 반도체 칩(20)의 제 2 내부전극(21) 상에 형성된 금속범프(23)와, 제 1 반도체 칩(10)에 배치된 제 1 내부전극(11)과의 위치를 조정한다. 그리고 위치 조정된 제 1 반도체 칩(10) 상의 제 1 내부전극(11)과 제 2 반도체 칩(20)의 금속범프(23)를, 공구(40)를 사용하여 가열, 가압하고, 물리적인 작용 또는 금속학의 작용(원자의 상호확산에 의한 합금화 등의 작용)을 이용하여 접합을 실시한다. 수지(30)를 접합 전에도 도 10의 (a)에 나타난 공정에서 도포한 경우에는, 공구(40)를 하강시켜 각 내부전극(11, 12)과 접합을 실시할 때, 수지(30)가 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이로 밀려 퍼진다. 이 때 수지(30)의 점성에 의하여 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이의 가고정력이 더욱 증대된다. 공구(40)에 의한 가압력은 1개의 금속범프(23)에 대하여 0.1-20g 정도의 하중이 적당하며, 이 하중의 크기는 제 1 내부전극(11)이 파손되거나 그 제 1 내부전극(11) 아래쪽에 형성된 트렌치스터 등의 반도체소자나 배선 등의 특성을 변화시키지 않는다는 제약을 만족시키도록 설정한다. 그 후 수지(30)를 경화시켜 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 밀착화시킨다. 이 때 수지(30)가 광경화성수지라면 자외선(41)을, 열경화성수지라면 가열을 각각 실시한다. 가열에 의한 수지(30) 경화를 실시할 때는, 공구(40)에 의한 가압 해제 후에 모든 층의 가열기구에서 가열을 행하거나, 또는 공구(40)에 내장시킨 히터 등에 의하여 가압 시 직접 가열을 행한다. 열경화 시의 온도조건은 수지(30)의 재료에 따르는 하지만 70-300°C 정도가 필요하다.

미상의 처리에 의하여 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탑재시켜 형성되는 접합체(51) 구조가 얻어진다. 여기서 반도체 칩-웨이퍼 사이에 충전시킬 수지(30)를, 이방성 도전필름(ACF), 이방성 도전수지(ACP) 등으로 대체하는 것도 가능하다.

다음, 도 14의 (c)에 나타난 공정에서 접합체(51) 중의 제 2 반도체 칩(20) 이면을 연마한다. 도 14의 (c)에 나타난 공정에서 수지(30)를 충분히 경화시킨 후, 제 1 반도체 칩(10) 상에 탑재된 제 2 반도체 칩(20) 이면(위쪽을 향한 면)을 연마장치(43) 상면에 대항시킨 상태에서, 접합체(51)를 연마장치(43) 상에 얹는다. 그리고 연마장치(43)의 연마 면에 연마입자(42)를 공급하고, 접합체(51)에 하중을 가하면서 연마장치(43)를 회전시킴으로써, 각 제 2 반도체 칩(20) 이면의 연마를 실시한다. 이 때 연마입자(42)로서는 입도 #1200-#2000 정도의 다이아몬드 입자가 바람직하며, 연마장치(43)의 회전수는 5-50rpm 정도가 바람직하다.

여기서 본 실시예에 있어서는 도 16에 나타난 바와 같이 접합체(51) 연마장치(43)의 연마면 변위에 대한 경사각($\theta 2$)을 변화시키면서, 접합체(51) 및 연마장치(43)를 회전시켜 연마를 실시한다. 이로써 도 14의 (d)에 나타난 바와 같이 연마공정 종료 후에는, 제 2 반도체 칩(20)의 이면 모서리부(45)를 더욱 넓은 범위에서 걸쳐 둥글림과 동시에, 제 2 반도체 칩(20)의 중앙부가 주변부보다 두꺼워지도록 형성된 반도체장치(46)를 얻을 수 있다.

다음, 도 14의 (e)에 나타내는 공정에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도체장치(46)를 리드프레임의 다이패드(31)에 탑재하고 납, 은 등을 함유하는 도전성 패이스트(33)로 양자를 고정시킨다. 그리고 제 1 반도체 칩(10)의 리드패드(12)와, 리드프레임의 리드(32)를 25 μ m 정도의 금, 알루미늄 등으로 이루어지는 분말와이어(34)로 접속한다. 그리고 마지막으로 제 1 반도체 칩(10), 제 2 반도체 칩(20), 분말와이어(34), 리드프레임의 다이패드(31), 및 리드프레임의 리드(32)(일부)를 에폭시제 또는 폴리이미드제의 봉입수지(35)를 사용하여 수지봉입을 실시한다.

미상의 공정으로써, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탑재하여 일체화시켜 구성되는 제 3 실시예의 3 차원 디바이스가 용이하게 형성된다.

여기서 제 3 실시예에 있어서, 상기 도 16에 나타난 상태로 연마장치(43) 대신 연마숫돌을 가진 연삭장치를 이용하며, 접합체(51)의 연마숫돌 면 변위에 대한 경사각($\theta 2$)을 일정하게 하고 연삭을 실시함으로써, 도 20에 나타난 제 1 실시예의 변형예에 나타내는 구조를 용이하게 얻을 수 있다.

또 상기 제 4-제 6 실시예에서, 도 4 또는 도 6에 나타난 바와 같이, 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에 개재시키는 제 1 수지(37)와 제 2 반도체 칩(20) 측면을 파복하는 제 2 수지(38)를 도포하며, 개별로 경화시키도록 해도 된다.

여기서, 상기 각 실시예에 있어서, 제 1, 제 2 내부전극(11, 21)이 형성된 면을 제 1, 제 2 반도체 칩(10, 20)의 주면으로 하지만, 본 발명은 이러한 실시예에 한정되는 것이 아니다. 따라서 제 1 반도체 칩(10) 또는 제 2 반도체 칩(20)에 대하여, 반도체 칩의 관통 홈(through hole)이나 측면에 구멍된 도채각을 개재하고, 반도체 칩 이면에 내부전극을 형성한 것에 대해서도 본 발명을 적용할 수 있다.

[첨부그림 12]

쪽 2002-0053011

발명의 효과

본 발명의 반도체장치 또는 그 제조방법에 의하면, 제 1 반도체 칩에 접합된 제 2 반도체 칩 하면의 모서리부를 곡면화 시키고, 제 2 반도체 칩의 측면 면적을 수직축으로 피복하거나, 또는 제 2 반도체 칩 중앙부를 주변부보다 두껍게 함으로써 실장 균열의 발생이나, 각 반도체 칩간의 접촉 신뢰성 저하 등을 억제할 수 있다.

(57) 청구의 범위**청구항 1**

상면에 제 1 전극을 갖는 제 1 반도체 칩과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 칩 상에 탑재된 제 2 반도체 칩을 구비하며,

상기 제 2 반도체 칩 하면의 모서리부가 가공에 의하여 무디어지는 것을 특징으로 하는 반도체장치.

청구항 2

제 1 항에 있어서,

상기 제 2 반도체 칩 하면의 모서리부가 곡면으로 되는 것을 특징으로 하는 반도체장치.

청구항 3

제 2 항에 있어서,

상기 제 2 반도체 칩 하면 모서리부의 곡면 곡률반경이 $1\mu m$ 보다 큰 것을 특징으로 하는 반도체장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 수직축이 개재되는 것을 특징으로 하는 반도체장치.

청구항 5

상면에 제 1 전극을 갖는 제 1 반도체 칩과,

상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 칩 상에 탑재된 제 2 반도체 칩과,

상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하며, 또 상기 제 2 반도체 칩의 전 측면을 피복하는 수직축을 구비하는 반도체장치.

청구항 6

제 5 항에 있어서,

상기 수직축 중 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분과, 상기 제 2 반도체 칩의 전 측면을 피복하는 부분은, 서로 다른 수직재질로 구성되는 것을 특징으로 하는 반도체장치.

청구항 7

제 6 항에 있어서,

상기 수직축 중 상기 제 2 반도체 칩의 전 측면을 피복하는 부분의 필러 함유량은, 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분의 필러 함유량보다 많은 것을 특징으로 하는 반도체장치.

청구항 8

제 6 항에 있어서,

상기 수직축 중 상기 제 2 반도체 칩의 전 측면을 피복하는 부분의 필러 평균지름은, 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분의 필러 평균지름보다 큰 것을 특징으로 하는 반도체장치.

청구항 9

제 5 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 수직축 중 상기 제 2 반도체 칩의 전 측면을 피복하는 부분의 상면은, 상기 제 2 반도체 칩 하면과 거의 평행의 평면을 갖는 위치에 있는 것을 특징으로 하는 반도체장치.

청구항 10

제 9 항에 있어서,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은 수직 불연되는 것을 특징으로 하는 반도체장치.

청구항 11

상면에 제 1 전극을 갖는 제 1 반도체 칩과,

상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반

[첨부그림 13]

쪽 2002-0053011

도체 칩 상에 탑재된 제 2 반도체 칩을 구비하며,

상기 제 2 반도체 칩 중앙부는 주변부보다 두꺼운 것을 특징으로 하는 반도체장치.

첨부그림 12

제 11 항에 있어서,

제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 수지층을 추가로 구비하는 것을 특징으로 하는 반도체장치.

첨부그림 13

제 12 항에 있어서,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은, 수지층에 의해 서로 접속된 것을 특징으로 하는 반도체장치.

첨부그림 14

제 1 반도체 칩 상에 제 2 반도체 칩을, 양자의 전극끼리 전기적으로 서로 접속된 상태로 탑재시켜 형성되는 반도체장치의 제조방법에 있어서,

상면에 제 1 전극을 가지며, 상기 제 1 반도체 칩으로 된 제 1 반도체 칩 형성영역을 갖는 웨이퍼와, 상면에 제 2 전극을 갖는 상기 제 2 반도체 칩을 준비하는 공정과,

상기 웨이퍼의 각 칩 형성영역 상에 상기 제 2 반도체 칩을 각각 탑재시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과,

상기 웨이퍼의 각 칩 형성영역과 상기 제 2 반도체 칩 사이에 수지층을 형성하는 공정과,

상기 제 2 반도체 칩을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 칩 하면을 연마하는 공정과,

상기 웨이퍼를 각 칩 형성영역별로 분리시키고, 제 1 반도체 칩 상에 제 2 반도체 칩이 탑재되어 구성되는 집합체를 개별로 형성하는 공정과,

상기 제 1 반도체 칩 상에서 상기 제 2 반도체 칩을 봉입수지로 봉입하는 공정을 포함하는 반도체장치의 제조방법.

첨부그림 15

제 1 반도체 칩 상에 제 2 반도체 칩을, 양자의 전극끼리 전기적으로 서로 접속된 상태로 탑재시켜 형성되는 반도체장치의 제조방법에 있어서,

상면에 제 1 전극을 갖는 제 1 반도체 칩과, 상면에 제 2 전극을 갖는 상기 제 2 반도체 칩을 준비하는 공정과,

상기 제 1 반도체 칩 형성영역 상에 상기 제 2 반도체 칩을 탑재시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩 사이에 수지층을 형성하는 공정과,

상기 제 2 반도체 칩을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 칩의 하면을 연마하는 공정과,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩을 봉입수지로 봉입하는 공정을 포함하는 반도체장치의 제조방법.

첨부그림 16

제 14 항 또는 제 15 항에 있어서,

상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정은, 상기 제 1 전극 및 상기 제 2 전극 중 적어도 어느 한쪽 전극에 리프트를 형성하고, 상기 리프트를 개재하고 각 전극끼리 접속하는 공정들 추가로 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

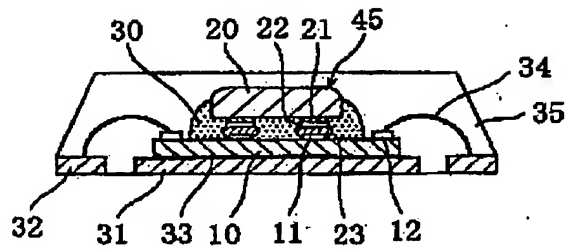
25-13

25-13

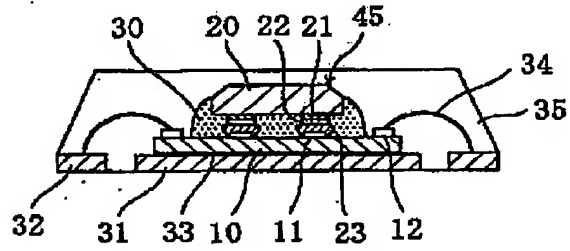
[첨부그림 14]

특 2002-0053011

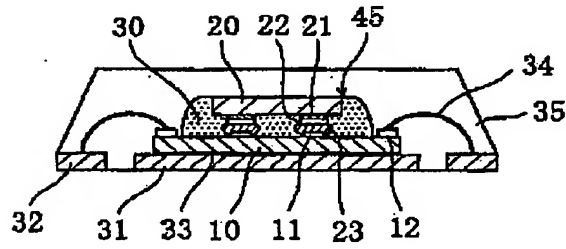
도면1



도면2



도면3



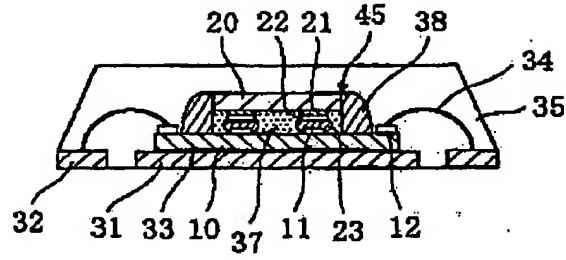
25-14

25-14

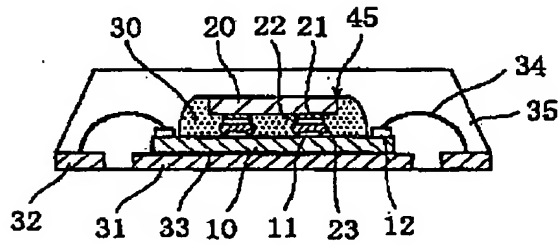
[첨부그림 15]

특 2002-0053011

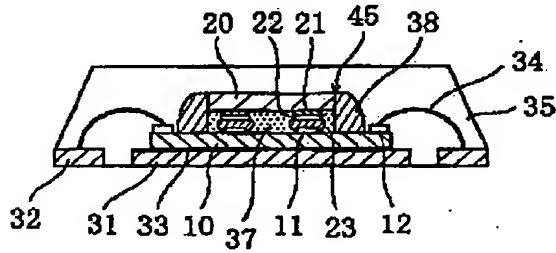
도 14



도 15



도 16



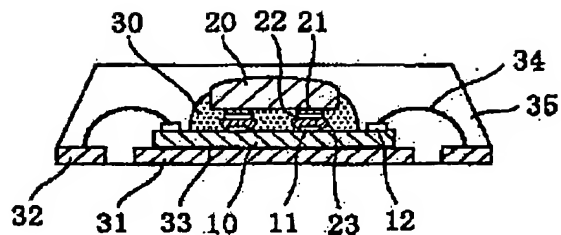
25-15

25-15

[첨부그림 16]

특 2002-0053011

도 16



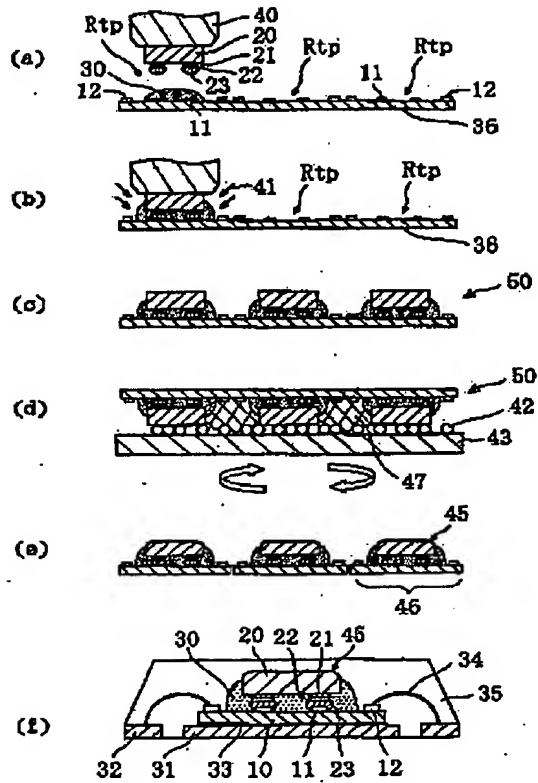
25-16

25-16

[첨부그림 17]

2002-0053011

도 98



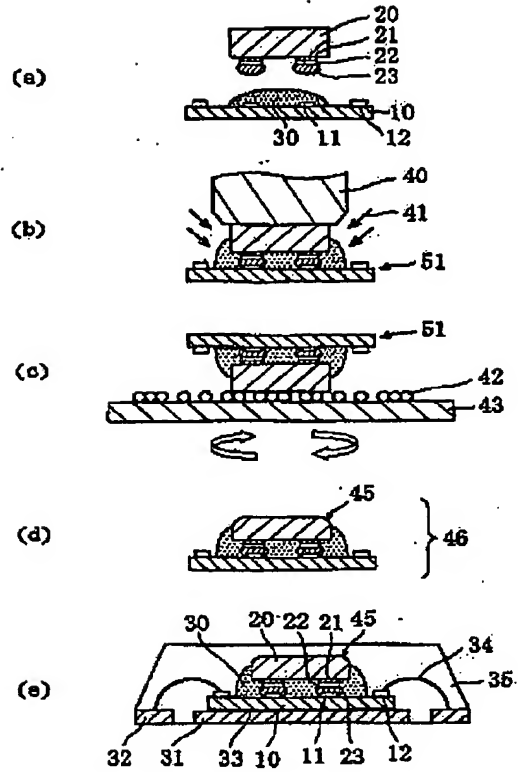
25-17

25-17

[첨부그림 18]

특 2002-0053011

도 18



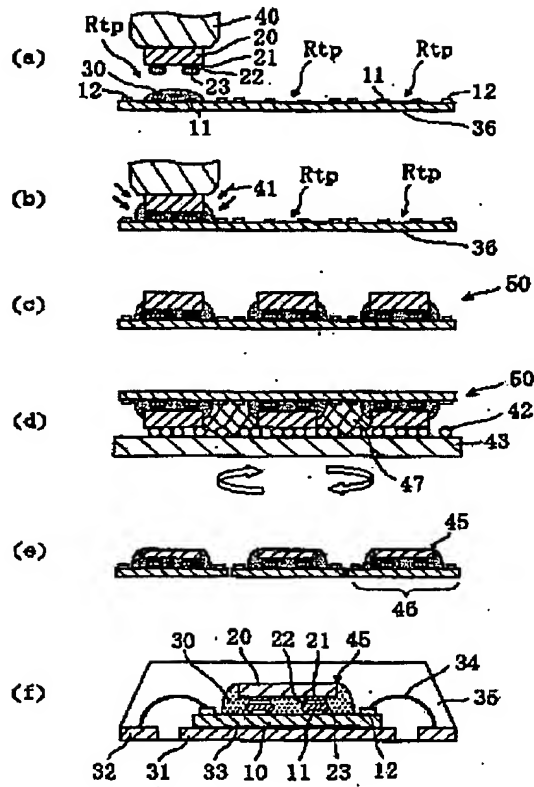
25-18

25-18

[첨부그림 19]

특 2002-0053011

도면 19



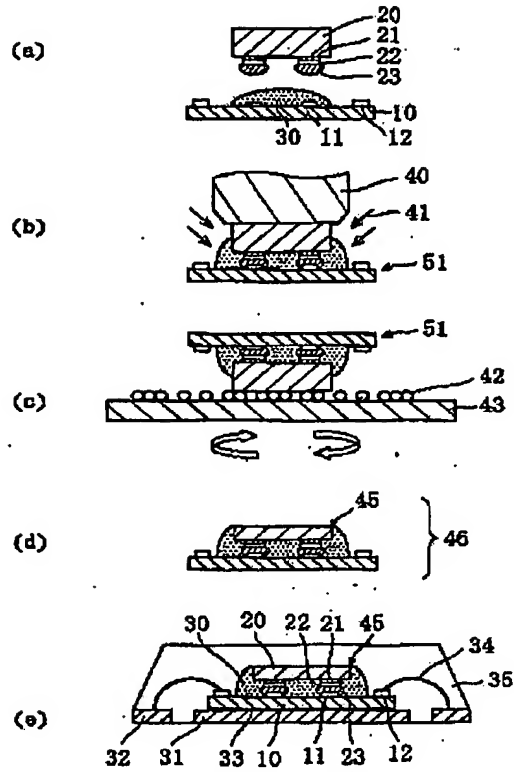
25-19

25-19

[첨부그림 20]

특 2002-0053011

도 20



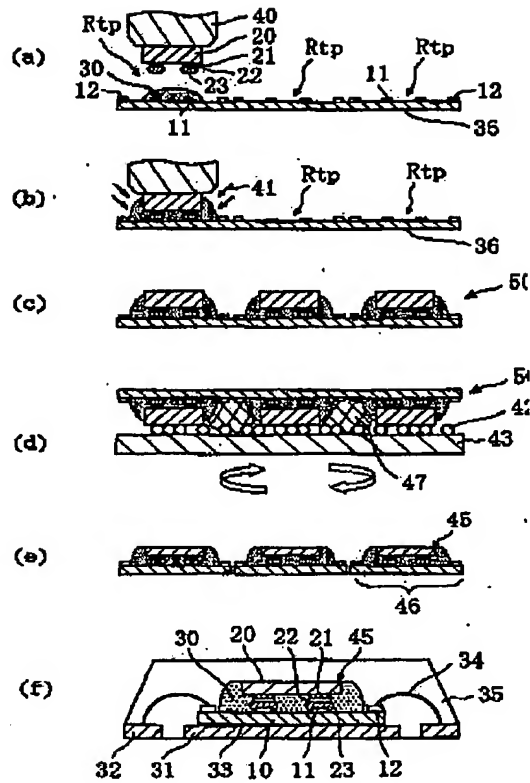
25-20

25-20

[첨부그림 21]

문 2002-0053011

도 12



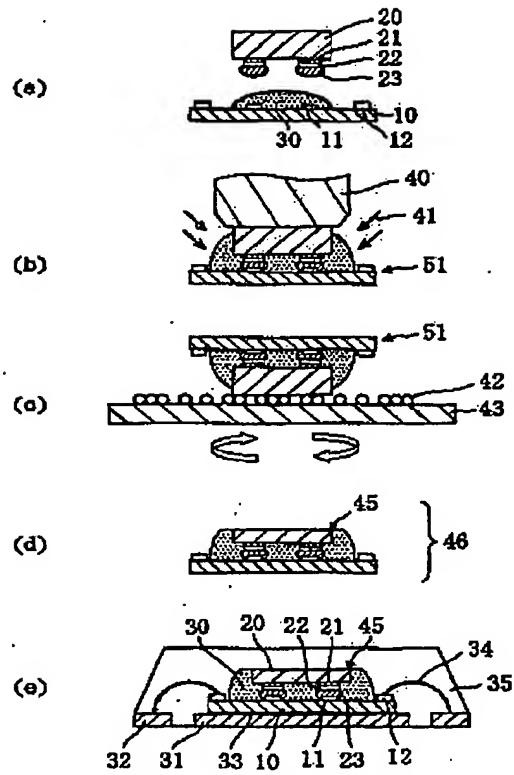
25-21

25-21

[첨부그림 22]

목 2002-0053011

도면 13



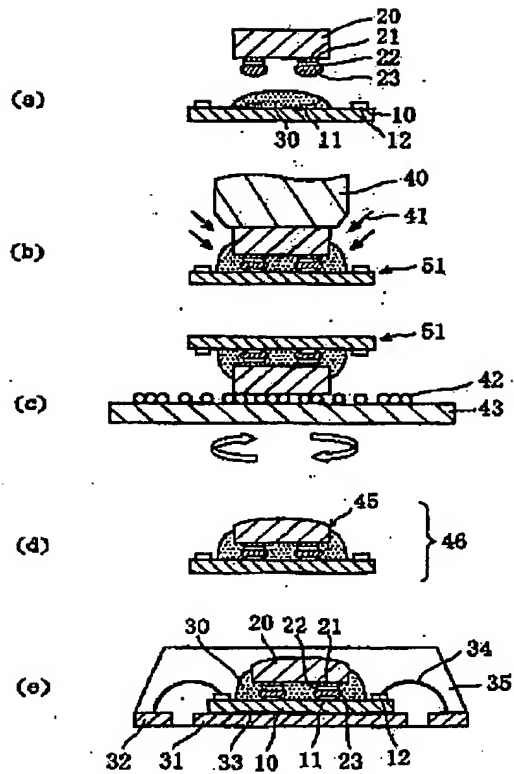
25-22

25-22

[첨부그림 23]

특 2002-0053011

COM



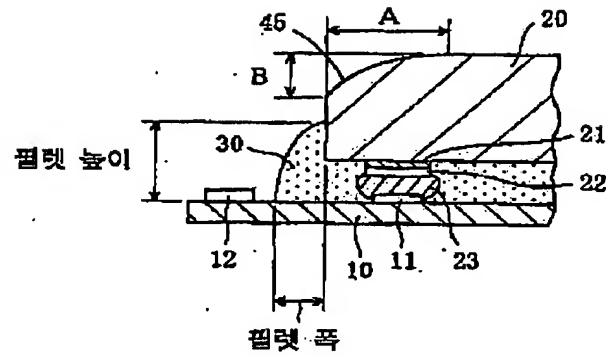
25-23

25-23

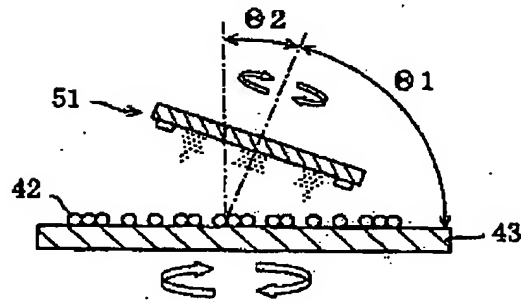
[첨부그림 24]

목 2002-0053011

도면 15



도면 16



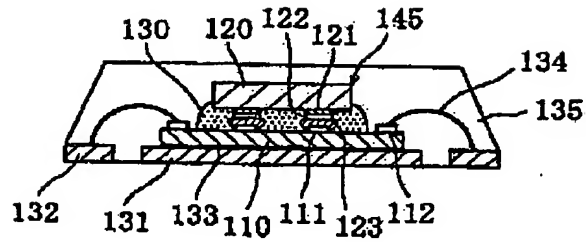
25-24

25-24

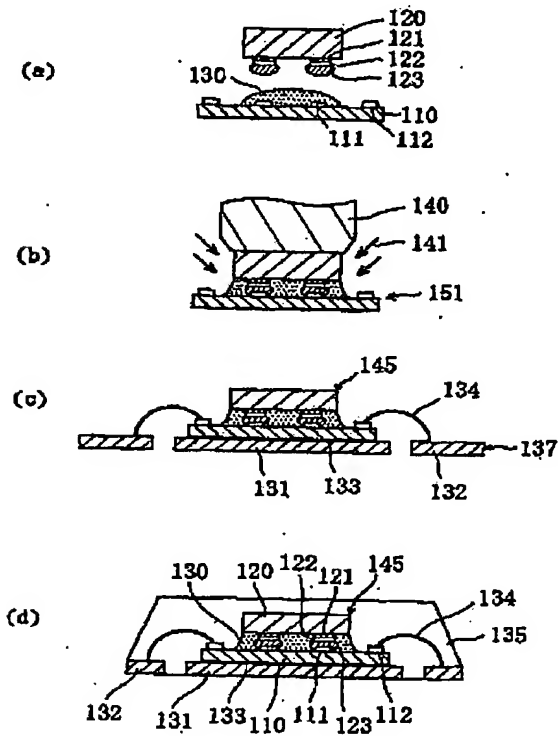
[첨부그림 25]

2002-0053011

도면 17



도면 18



25-25

25-25